

CORSO DI LAUREA IN INGEGNERIA INFORMATICA

Calcolatori Elettronici I — a.a. 2005–2006

Compito del 14 dicembre 2006

Cognome e Nome dello studente: _____

1. Rappresentazione e reti logiche combinatorie

Si progetti un adder con ingressi in rappresentazione in complemento a 2, che consenta di sommare tra loro senza overflow due interi con segno appartenenti all'insieme numerico $[-63, 64]$.

2. Reti logiche sequenziali e CPU

Facendo riferimento ad una CPU a singolo bus interno, 16 bit di dati e 24 bit di indirizzi, si disegni il diagramma degli stati (fetch incluso) della sezione di controllo corrispondente all'istruzione `ADD R1, MEM[R2]`, dove il secondo operando è anche destinazione. Quanti cicli di macchina sono richiesti in tutto per il fetch e l'esecuzione dell'istruzione?

3. Memorie e Hardware 8086

Disegnare lo schema della memoria a due banki dell'8086. Indicare l'indirizzo fisico e l'ordine di collocazione in memoria dei byte del vettore corrispondente all'interruzione di tipo 21H, avendosi $IP_{21h} = 52a3h$ e $CS_{21h} = be69h$.

4. Software 8086 e I/O

Scrivere una routine 8086 a controllo di programma per l'acquisizione di 1024 bit da un'interfaccia seriale, e la loro memorizzazione nel buffer di memoria BUF1024.