

Compito # 1 del 30 marzo 2009

Cognome e Nome dello studente: _____

A/ Siano date le seguenti istruzioni 8086:

- (a) `CMP FOO [DI+25], DH`
- (b) `JMP TABLE [SI]`
- (c) `MOV BAR [BX], 1642`
- (d) `ADD AL, 76`
- (e) `POP [DI]` .

1. Fornire il significato di ciascuna istruzione, specificando i registri di segmento utilizzati, i modi di indirizzamento impiegati, e gli effective addresses relativi ai dati in memoria;
2. Stabilire una codifica di macchina plausibile per le istruzioni (b) ed (e), servendosi della tabella sotto riportata;
3. Calcolare il numero di cicli di bus per il fetch e l'esecuzione di ogni istruzione;
4. Scrivere il microcodice di controllo relativo al fetch ed all'esecuzione dell'istruzione (a), ipotizzando di lavorare con un microprocessore a singolo bus interno. Quanti sono i cicli macchina richiesti?

r/m	mod					reg
	00	01	10	11		
000	BX+SI	BX+SI+D8	BX+SI+D16	AL	AX	000
001	BX+DI	BX+DI+D8	BX+DI+D16	CL	CX	001
010	BP+SI	BP+SI+D8	BP+SI+D16	DL	DX	010
011	BP+DI	BP+DI+D8	BP+DI+D16	BL	BX	011
100	SI	SI+D8	SI+D16	AH	SP	100
101	DI	DI+D8	DI+D16	CH	BP	101
110	D16	BP+D8	BP+D16	DH	SI	110
111	BX	BX+D8	BX+D16	BH	DI	111
				w=0	w=1	

B/ Si deve costruire un banco di memoria da 1 GB con parola dati di 32 bit adoperando tutti i chip sotto elencati:

tipo	dimensione (MB)	# bit indirizzi	# bit dati	quantità
A	256		8	1
B	256	27		1
C		26	16	1
D	128		8	1
E	64	26		

Completare la tabella con i numeri appropriati. Qual è il numero di parole indirizzabili del banco? Disegnare il banco con i cablaggi necessari, riportando anche l'espressione logica del \overline{CS} per ciascun chip.

CORSO DI LAUREA IN INGEGNERIA INFORMATICA

Calcolatori Elettronici I — a.a. 2008–2009

Compito # 2 del 30 marzo 2009

Cognome e Nome dello studente: _____

A/ Siano date le seguenti istruzioni 8086:

- (a) `CMP FOO [DI+25], DH`
- (b) `JMP TABLE [SI]`
- (c) `MOV BAR [BX], 1642`
- (d) `ADD AL, 76`
- (e) `POP [DI]` .

1. Fornire il significato di ciascuna istruzione, specificando i registri di segmento utilizzati, i modi di indirizzamento impiegati, e gli effective addresses relativi ai dati in memoria;
2. Stabilire una codifica di macchina plausibile per le istruzioni (a) ed (e), servendosi della tabella sotto riportata;
3. Calcolare il numero di cicli di bus per il fetch e l'esecuzione di ogni istruzione;
4. Scrivere il microcodice di controllo relativo al fetch ed all'esecuzione dell'istruzione (b), ipotizzando di lavorare con un microprocessore a singolo bus interno. Quanti sono i cicli macchina richiesti?

r/m	mod				reg	
	00	01	10	11		
000	BX+SI	BX+SI+D8	BX+SI+D16	AL	AX	000
001	BX+DI	BX+DI+D8	BX+DI+D16	CL	CX	001
010	BP+SI	BP+SI+D8	BP+SI+D16	DL	DX	010
011	BP+DI	BP+DI+D8	BP+DI+D16	BL	BX	011
100	SI	SI+D8	SI+D16	AH	SP	100
101	DI	DI+D8	DI+D16	CH	BP	101
110	D16	BP+D8	BP+D16	DH	SI	110
111	BX	BX+D8	BX+D16	BH	DI	111
				w=0	w=1	

B/ Si deve costruire un banco di memoria da 1 GB con parola dati di 32 bit adoperando tutti i chip sotto elencati:

tipo	dimensione (MB)	# bit indirizzi	# bit dati	quantità
A	256	28		1
B		27	16	1
C	128		16	
D	128	27		1
E		26	8	4

Completare la tabella con i numeri appropriati. Qual è il numero di parole indirizzabili del banco? Disegnare il banco con i cablaggi necessari, riportando anche l'espressione logica del \overline{CS} per ciascun chip.