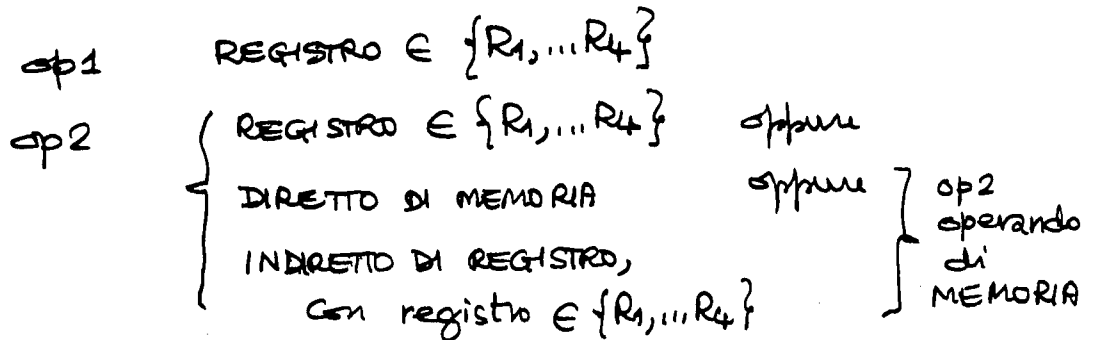


Soluzioni es. #2 (Microprocessore) - compito 5/7/11

EXCHANGE op1, op2

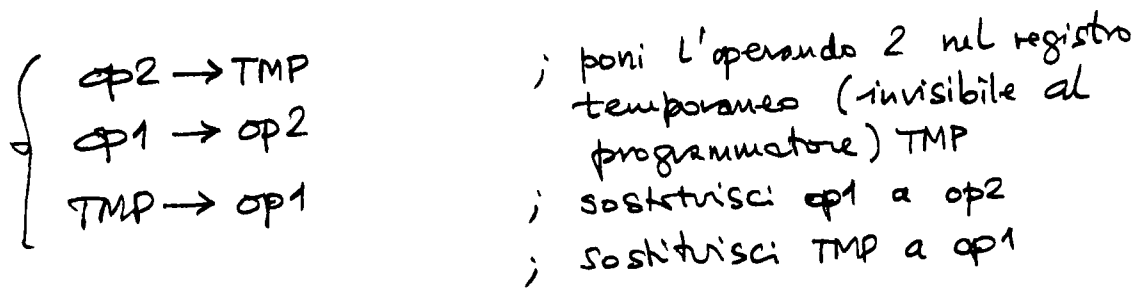
con



bus dati : 16 bit

bus indirizzi : 16 bit

possibile schema per l'esecuzione dell'istruzione: (*)



op1 è già nel microprocessore, mentre
op2 potrebbe essere in memoria, nel caso
in cui sia stato specificato con modo
di indirizzamento DIRETTO ("DIR") o
INDIRETTO DI REGISTRO ("INDIR"). op2 è
in un registro di macchina se il suo modo
di indirizzamento è "REG" (registro).

2

(*) una schema alternativo è

op1 \rightarrow TMP	con diversa implementazione
op2 \rightarrow op1	
TMP \rightarrow op2	

CODIFICA DI MACCHINA PER L'ISTRUZIONE

Suff. che, come per l'8086, il codice operativo sia di 6 bit (avendosi dunque un set di $2^6 = 64$ diverse istruzioni per il processore).

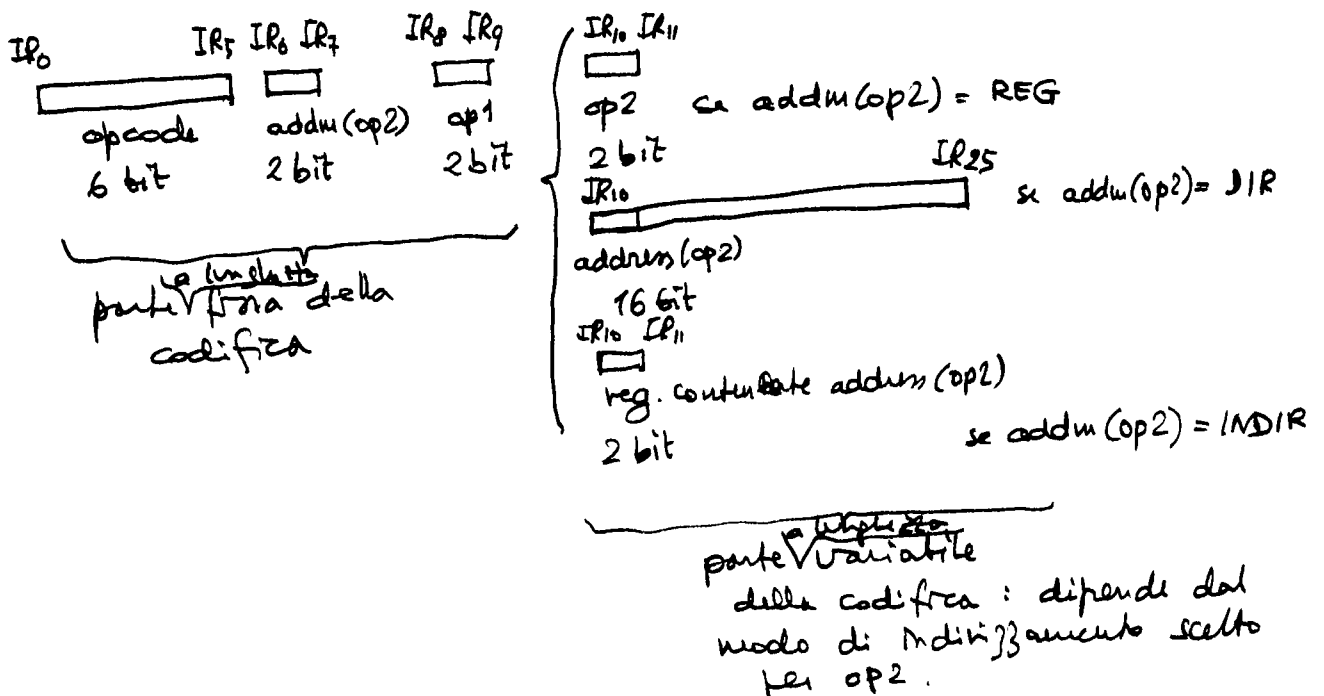
op1 è un operando di registro. Siccome non c'è altro modo per indirizzare op1, l'informazione sul modo di indirizzamento di op1 non necessita di essere codificata.

Deve invece essere specificato l'identificativo del registro, che può essere uno tra 4 registri \Rightarrow servono 2 bit.

op2 può avere uno tra tre diversi modi di indirizzamento, il che richiede un codice di 2 bit.

Inoltre, per specificare l'operando serviranno necessariamente

- 16 bit (Indirizzo dell'operando) se $addm(op2) = DIR$
- 2 bit (registro contenente l'indirizzo dell'operando) se $addm(op2) = INDIR$
- 2 bit (registro contenente l'operando) se $addm(op2) = REG$



DI CICLI DI BUS NECESSARI AL FETCH & ESECUZIONE DELL'ISTRUZ.

Per il fetch servono:

$$\lceil 26/16 \rceil = 2 \text{ cicli di bus se } \text{addrm}(\text{op2}) = \text{DIR}$$

$$\lceil 12/16 \rceil = 1 \text{ ciclo di bus se } \text{addrm}(\text{op2}) = \text{INDIR} \vee \text{REG}$$

Per l'esecuzione servono:

1 ciclo di lettura (operand LOAD) +
1 ciclo di scrittura (operand STORE)

= 2 cicli di bus se $\text{addrm}(\text{op2}) = \text{DIR} \vee \text{INDIR}$

0 cicli di bus

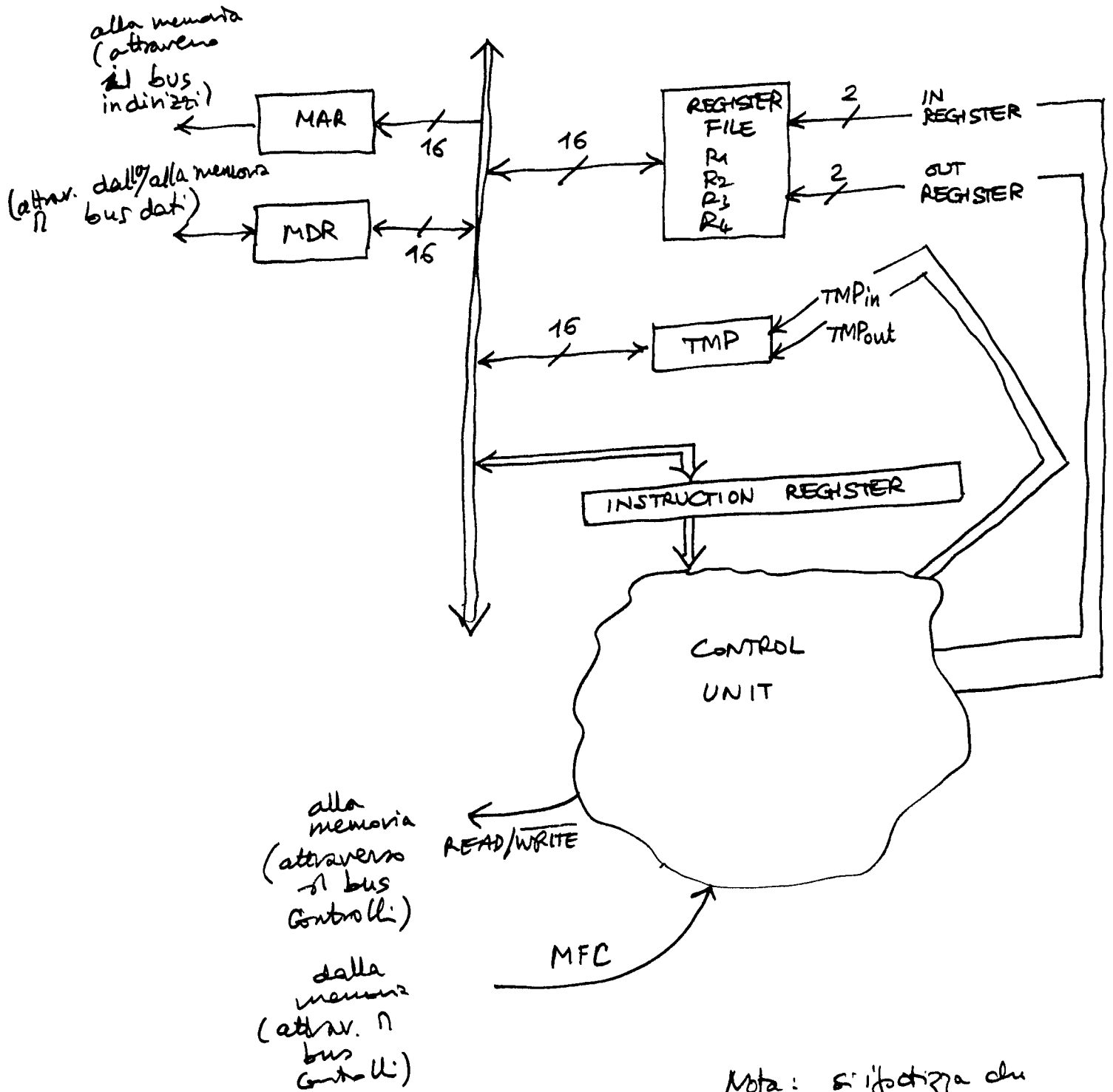
se $\text{addrm}(\text{op2}) = \text{REG}$

(L'intera esecuzione non coinvolge la memoria: lo scambio del contenuto dei registri avviene all'interno del processore)

In conclusione:

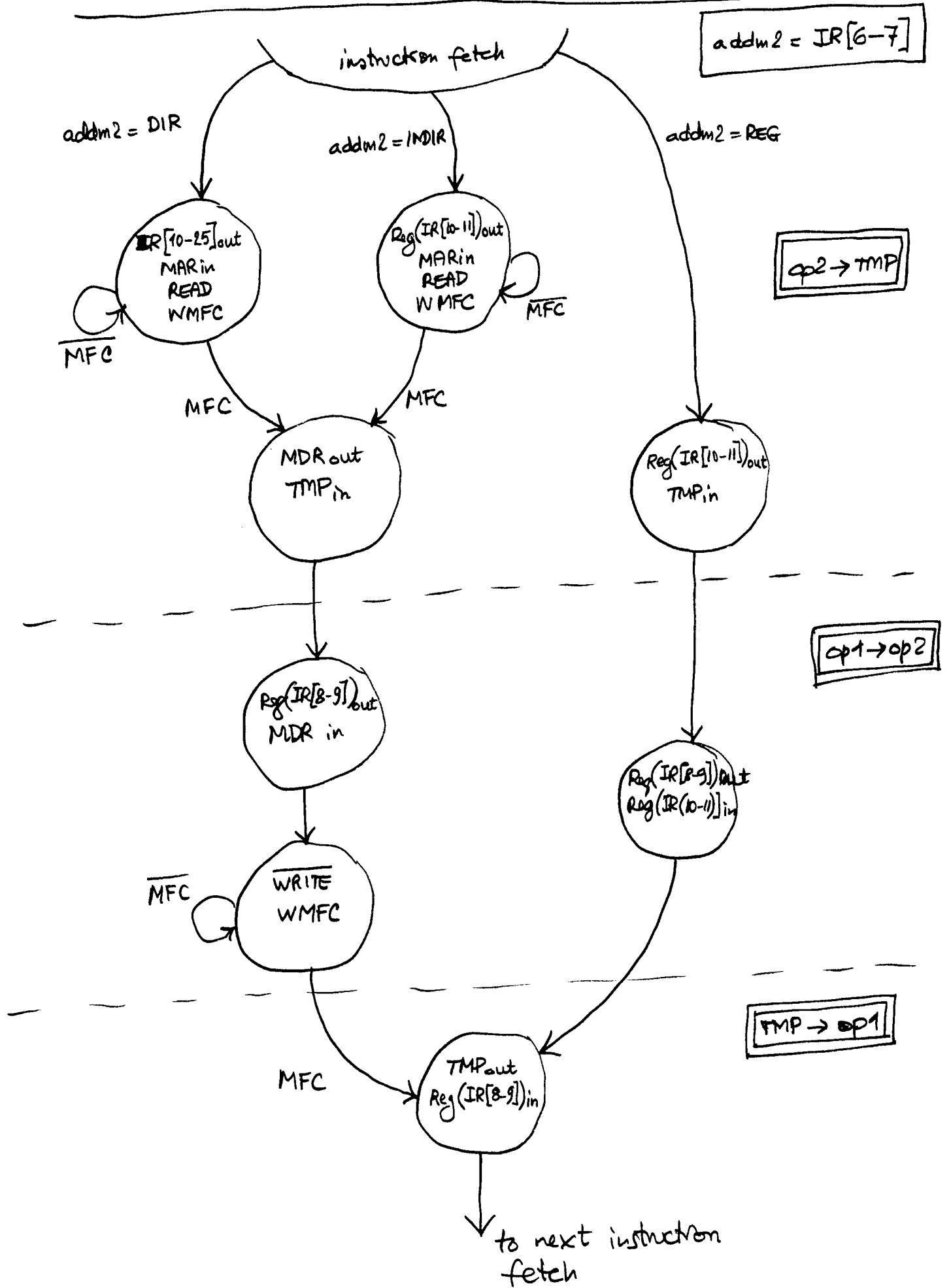
addressing mode di op2	# cicli bus (fetch)	# cicli bus (exe)	TOTALE
DIR	2	2	4
INDIR	1	2	3
REG	1	0	1

SEZIONE DI PARTE OPERATIVA PER L'ESECUZIONE DELL'ISTRUZIONE



Nota: si ipotizza che l'unità di controllo trasferisca agli operatori (IN o OUT) ingressi del register file i campi di IR che codificano i registri riferiti al programmatore $\{R_1, \dots, R_4\}$.

AUTOMA DI CONTROLLO PER L'ESECUZIONE DELL'ISTRUZIONE



operazioni

- 1) Nello stato di operand STORE, non è necessario ricaricare nel MAR l'indirizzo dell'op2, perché esso vi è già presente.
- 2) Seguendo i vari percorsi all'interno dell'automa, si ritrova che nel caso $addr2 = DIR$ servono 2 cicli di bus, nel caso $addr2 = INDIR$ fanno, mentre nel caso $addr2 = REG$ non ne serve alcuno.
- 3) Contando gli stati attraversati per i vari modi di indirizzamento, si ottiene che il numero di CICLI DI MACCHINA RICHIESTI NELLA FASE DI ESECUZIONE DELL'ISTRUZIONE è

	$5 + 2N_{WAIT}$	se $addr2 = DIR \vee INDIR$,
e	3	se $addr2 = REG$

Con $N_{WAIT} = \#$ di cicli di wait durante un singolo ciclo di bus.