

REGISTRO DELLE LEZIONI

Lezione 1/ore 1-3 - Lunedì 19 settembre 2011 (3 ore)

Presentazione del corso. Architettura vs organizzazione.

Lezione 2/ore 4-6 – Venerdì 23 settembre 2011 (3 ore)

Rappresentazione binaria di elementi di un insieme finito.
Dimensioni di una memoria. Indirizzo, spazio indirizzabile.

Lezione 3/ore 7-9 - Lunedì 26 settembre 2011 (3 ore)

Rappresentazione di interi senza segno. Espansione della memoria.
Porte logiche. Decoder binario.

Lezione 4/ore 10-11 - Giovedì 29 settembre 2011 (2 ore)

Algebra booleana e logica ricreativa. Forme canoniche. De Morgan.

Lezione 5/ore 12-14 - Venerdì 30 settembre 2011 (3 ore)

Progetto di sommatore: look-up table (ROM), ripple carry. Karnaugh.
Numeri con segno. Overflow in complemento a due.

Lezione 6/ore 15-17 - Lunedì 3 ottobre 2011 (3 ore)

Estensione di moduli logici. Progetto di comparatori: interi non negativi,
modulo e segno. ALU. Multiplexer.

Lezione 7/ore 18-20 – Venerdì 7 ottobre 2011 (3 ore)

Reti sequenziali: rappresentazioni, realizzazione.

Lezione 8/ore 21-22 - Lunedì 10 ottobre 2011 (2 ore)

Latch e flip-flop.

Lezione 9/ore 23-25 - Venerdì 14 ottobre 2011 (3 ore)

Analisi e sintesi "monoblocco" di reti sequenziali.
Sintesi di reti combinatorie con Multiplexer.

Lezione 10/ore 26-28 - Lunedì 17 ottobre 2011 (3 ore)

Registri: dati, contatori, a scorrimento. Estensioni basate su Multiplexer.
Soluzioni con parte operativa/parte di controllo.

Lezione 11/ore 29-30 - Giovedì 20 ottobre 2011 (2 ore)

PC/PO come metodo di sintesi e di descrizione. Sintesi di reti sequenziali
con FF diversi dal D. Inizializzazione di FF.

Lezione 12/ore 31-33 - Venerdì 21 ottobre 2011 (3 ore)

Temporizzazione PC/PO: clock sfasati. Macchina per il logaritmo intero: PO.

Lezione 13/ore 34-36 - Lunedì 24 ottobre 2011 (3 ore)

Macchina per il logaritmo intero: PC. Macchina per la moltiplicazione: PO.

Lezione 14/ore 37-39 - Giovedì 27 ottobre 2011 (3 ore)

Macchina per la moltiplicazione: PC e sue varianti. Operandi con segno.

Lezione 15/ore 40-42 - Venerdì 28 ottobre 2011 (3 ore)

Esercitazione di riepilogo in vista della prova in itinere del 3/11.
Progetto del controllo con contatore al posto del registro di stato.

Lezione 16/ore 43-45 - Giovedì 3 novembre 2011 (3 ore)

Prova in itinere di Reti Logiche: Analisi di una macchina sequenziale e progetto di una seconda macchina che ne realizzi il controllo.

Lezione 17/ore 46-48 - Venerdì 4 novembre 2011 (3 ore)

Dalle macchine dedicate alla macchina universale. Dai linguaggi di alto livello alla microprogrammazione. Microprocessore: fusione di automi di controllo e condivisione di risorse operative. CPU a singolo bus interno.

Lezione 18/ore 49-51 - Lunedì 14 novembre 2011 (3 ore)

Codifica delle istruzioni: i principali modi di indirizzamento. Esecuzione della moltiplicazione come microprogramma (stile CISC) e come programma assembly (stile RISC).

Lezione 19/ore 52-53 - Giovedì 17 novembre 2011 (2 ore)

Codifica di segnali di controllo mutuamente esclusivi. Istruzioni di salto. Modi di indirizzamento: loro impatto sulla codifica e sull'esecuzione delle istruzioni. Cicli di bus e cicli macchina.

Lezione 20/ore 54-56 - Venerdì 18 novembre 2011 (3 ore)

Esercitazione: soluzione del compito 05/07/2011. Prestazioni.

Lezione 21/ore 57-59 - Lunedì 21 novembre 2011 (3 ore)

Fetch istruzioni: parte operativa e parte di controllo. Lo stack: sua gestione e suoi usi nella programmazione.

Lezione 22/ore 60-62 - Giovedì 24 novembre 2011 (3 ore)

Hardware 8086: modello di programmazione. Segmentazione della memoria.

Lezione 23/ore 63-65 - Venerdì 25 novembre 2011 (3 ore)

Codifica delle istruzioni 8086. Software 8086: varie versioni di un programma assembly 8086 per la realizzazione della moltiplicazione con istruzioni più semplici. Passaggio di parametri: per valore/per indirizzo, attraverso registri/stack.

Lezione 24/ore 66-68 - Lunedì 28 novembre 2011 (3 ore)

Assemblaggio, collegamento e caricamento di un programma 8086. Analisi del file MAIN.LST. Analisi, assemblaggio ed esecuzione su PC del programma che risolve l'esercizio del 5 aprile 2006.

Lezione 25/ore 69-70 - Giovedì 1° dicembre 2011 (2 ore)

Memoria: gerarchia, RAM statiche e dinamiche. Costruzione di un banco di memoria con chip omogenei o eterogenei.

Lezione 26/ore 71-73 - Venerdì 2 dicembre 2011 (3 ore)

Input/Output: generalità. Esercizio: interfaccia di uscita e relativo driver a controllo di programma.

Lezione 27/ore 74-76 - Lunedì 5 dicembre 2011 (3 ore)

Interruzioni: classificazione, uso e importanza, modalità realizzative (gestione dell'identità e della priorità).

Lezione 28/ore 77-79 - Lunedì 12 dicembre 2011 (3 ore)

Direct Memory Access. Correzione della prova in itinere. Esercizio sulle interfacce.

Lezione 29/ore 80-81 - Giovedì 15 dicembre 2011 (2 ore)

Esercitazione di riepilogo sulla seconda parte del corso.