

**Prova scritta del 23 luglio 2013**

Cognome e Nome dello studente: \_\_\_\_\_

**per chi non ha superato il compito**

♠ Progettare (parte operativa e parte di controllo) una macchina sequenziale sincrona che realizzi il seguente algoritmo, che calcola l'intero  $h$  associato all'intero positivo  $n < 256$ :

- |   |
|---|
| <ol style="list-style-type: none"><li>0. Input <math>n</math>, set <math>h = 0</math>.</li><li>1. If <math>n</math> even then exit, else set <math>k = 1</math>.</li><li>2. Set <math>k \leftarrow 2 \times k</math>.</li><li>3. If <math>k &gt; n</math> then set <math>k \leftarrow k - n</math>.</li><li>4. Set <math>h \leftarrow h + 1</math>. If <math>k = 1</math> then exit, else goto 2.</li></ol> |
|---|

- a. Disegnare lo schema completo delle due parti del sistema e delle loro connessioni, evidenziando i segnali di condizione e di controllo.
- b. Fornire il diagramma temporale del funzionamento del sistema nel caso  $n = 13$ .

♡ Scrivere un programma assembly 8086 che simuli il comportamento della macchina descritta al punto ♠.

**per chi ha superato il compito**

◇ Data un'architettura a singolo bus interno con bus dati e bus indirizzi entrambi a 16 bit, progettare l'istruzione

MULTORDER  $n, h$

che realizza l'algoritmo di cui al punto ♠. L'operando  $n$  è un registro (la macchina ha quattro registri). L'operando  $h$  è di memoria, e può essere specificato in modalità diretto di memoria o indiretto di registro. In particolare:

1. Stabilire una codifica plausibile per l'istruzione;
2. Disegnare la sezione di parte operativa necessaria al fetch e all'esecuzione dell'istruzione;
3. Progettare la sezione di controllo (entrambe le fasi di fetch e di esecuzione) dell'istruzione;
4. Stabilire il numero di cicli di bus e di macchina necessari al fetch e all'esecuzione dell'istruzione.