

CORSO DI LAUREA IN INGEGNERIA INFORMATICA

Calcolatori — a.a. 2015–2016

Prova scritta dell'11 febbraio 2016

Cognome e Nome dello studente: _____

Reti Logiche. Progettare (col procedimento parte operativa e parte di controllo) una macchina sequenziale che, dato in ingresso un intero positivo a di 8 bit, produca in uscita gli elementi della successione (espressi su 10 bit)

$$z(t) = z(t - 1) + 2t, \quad t = 1, 2, \dots$$

con $z(0) = a$. La macchina deve anche produrre in uscita i successivi valori di t , e fermarsi al raggiungimento della condizione di traboccamento. Simulare il funzionamento della macchina nel caso $a = 41$.

Microprocessore. Un microprocessore con bus dati a 16 bit e bus indirizzi a 24 bit, memoria *non* segmentata ed architettura a singolo bus interno, include nel suo instruction set l'istruzione di salto `SWITCH cc $labT$ { $labF$ }`, dove il secondo operando è opzionale. L'istruzione salta (in modo relativo) alla label `$labT$ ($labF$)` se la condizione cc è vera(falsa). In assenza dell'operando `$labF$` , l'esecuzione prosegue sequenzialmente (come in un normale salto condizionato) se cc è falsa. Le condizioni cc possibili sono *eq* (equal), *gt* (greater than), *lt* (less than). Esempi di sintassi sono `SWITCH gt maggiore minoreuguale`, `SWITCH eq uguale`.

0. Discutere la dipendenza delle condizioni cc dai flag ZF,SF,OF.
1. Disegnare la sezione di parte operativa strettamente necessaria all'esecuzione dell'istruzione;
2. Stabilire una codifica plausibile per l'istruzione ed indicare il numero di cicli di bus per il suo fetch al variare del numero di operandi;
3. Progettare, disegnandone l'automa, la sezione di controllo relativa all'esecuzione dell'istruzione;
4. Fornire una valutazione complessiva del tempo di fetch ed esecuzione dell'istruzione al variare del numero di operandi.