

REGISTRO DELLE LEZIONI

- 01.I.1/ore 1-3** – lunedì 24 settembre 2018 (3 ore) ♣ Introduzione al corso. Reti Logiche (prima parte) e Microprocessore (seconda parte). Rappresentazione binaria di oggetti e numeri. Potenze di 2. Bit e digitalizzazione (Shannon). Porte logiche elementari. Enumerazione di funzioni di k variabili.
- 02.I.2/ore 4-5** – martedì 25 settembre 2018 (2 ore) ♣ Funzioni booleane di due variabili. Confronti aritmetici attraverso la logica. XOR. Schemi circuitali. Elementi neutri e forzanti nell'algebra di Boole. I forma canonica (SP). Alcune proprietà dell'algebra. Semplificazione di espressioni.
- 03.II.1/ore 6-8** – lunedì 1 ottobre 2018 (3 ore) ♣ Leggi di De Morgan. Derivazione della II forma canonica (PS). XOR: forme canoniche SP e PS. Decoder binario. Multiplexer come estensione del decoder. Schemi circuitali. Mappe di Karnaugh. Sintesi combinatoria con MPX.
- 04.II.2/ore 9-10** – martedì 2 ottobre 2018 (2 ore) ♣ Colloquio CPU-Memoria. Espressione della dimensione della memoria. Spazio di indirizzamento. Localizzazione di parole in memoria. Espansione di memoria: dati, indirizzi. Suddivisione logica di un indirizzo in campi di bit. "Chip select". Costruzione di un banco di memoria con integrati tutti uguali tra loro.
- 05.III.1/ore 11-13** – lunedì 8 ottobre 2018 (3 ore) ♣ Interlacciamento della memoria. Esercizio d'esame: Costruzione di un banco di memoria con integrati diversi tra loro. L'aritmetica attraverso la logica. Memoria vs calcolo. Tabella di verità per l'addizione. ROM. Logica del Full adder. Sommatore "ripple-carry".
- 06.III.2/ore 14-15** – martedì 9 ottobre 2018 (2 ore) ♣ Reti sequenziali: generalità. Clock. Registro contatore. Logica di un contatore up modulo 8. Schema a blocchi generale di una rete sequenziale. Equazioni caratteristiche. Diagramma degli stati. Il caso particolare del contatore. Modifica: conteggio up-down (con introduzione di un ingresso esterno).
- 07.IV.1/ore 16-18** – lunedì 15 ottobre 2018 (3 ore) ♣ Commutazione di macchine sequenziali: sui livelli, sui fronti. Macchine di Mealy e di Moore. Contatore up-down modulo 5. Condizioni di indifferenza ("don't care"). Combinazione di moduli sequenziali pre-costruiti. Latch di NOR: analisi del funzionamento, tabella di verità, equazione caratteristica, diagramma. Schema del flip-flop SR. Derivazione degli altri flip-flop: D, JK, T. Registro di stato.
- 08.IV.2/ore 19-20** – martedì 16 ottobre 2018 (2 ore) ♣ Esercizio d'esame: analisi di una rete sequenziale basata su FF JK e sua risintesi "monoblocco" in termini di FF D. Simulazione del suo funzionamento con diagramma temporale.
- 09.V.1/ore 21-23** – lunedì 22 ottobre 2018 (3 ore) ♣ Sintesi monoblocco di un contatore up modulo 5. Registro dati. Contatore modulo 8 con modalità di caricamento ("load"), e sua trasformazione in un contatore modulo 5. Sintesi di sequenze di periodo 5: l'importanza della funzione d'uscita. Accoppiamento di macchine: le "luci di Natale". Registri: schema generale. Registri a scorrimento.
- 10.V.2/ore 24-25** – martedì 23 ottobre 2018 (2 ore) ♣ Addizione e moltiplicazione: realizzazione sequenziale (ottimizza lo spazio) vs combinatoria (ottimizza il tempo). Moltiplicazione di interi non negativi: algoritmo, schema circuitale (parte operativa), abbozzo del controllo.
- 11.VI.1/ore 26-28** – lunedì 29 ottobre 2018 (3 ore) ♣ Progetto della parte di controllo per la macchina della moltiplicazione: versione base e migliorata (con ripercussioni sulla parte operativa). Realizzazione del controllo con MPX. Diagramma temporale. Riepilogo della procedura di sintesi "parte operativa e parte di controllo". Soluzione con i clock sfasati.

- 12.VI.2/ore 29-30** – martedì 30 ottobre 2018 (2 ore) ♣ Rilevamento e correzione di overflow nella somma di interi in rappresentazione naturale e in complemento a due. Ripasso del complemento a due: calcolo veloce, rappresentazione in C2, cambio di segno. Esercizio d'esame. ALU e "flags" (PSW). Flags e confronto di interi con segno.
- 13.VII.1/ore 31-33** – lunedì 5 novembre 2018 (3 ore) ♣ Progetto di una ALU basato su una versione modificata del full adder e verifica del suo funzionamento. Esercizio d'esame: macchina per il calcolo del Massimo Comun Divisore (MCD). Prima versione (parzialmente scorretta) del controllo.
- 14.VII.2/ore 34-35** – martedì 6 novembre 2018 (2 ore) ♣ Seconda versione (corretta) del controllo per la macchina MCD. Sintesi monoblocco del controllo con MPX.
- 15.VIII.1/ore 36-38** – lunedì 12 novembre 2018 (3 ore) ♣ Dalle macchine dedicate alla macchina universale (Turing). Peso relativo di hardware e software. Set istruzioni: complesso (CISC) o ridotto (RISC). Opcode. Prelievo ("fetch") ed esecuzione di istruzioni. Modello di Von Neumann. CPU a singolo bus interno: percorso di un'istruzione dalla memoria al registro di istruzione (IR). Registri di CPU: register file, 3-state buffer. Automa di esecuzione per ADD R1,R2,R3.
- 16.VIII.2/ore 39-40** – martedì 13 novembre 2018 (2 ore) ♣ Codifica delle istruzioni. Modi di indirizzamento. Esempio: codifica dell'istruzione ADD op1,op2,op3 in una macchina di tipo CISC.
- 17.IX.1/ore 41-43** – lunedì 19 novembre 2018 (3 ore) ♣ Introduzione di parallelismo per migliorare le prestazioni: il caso dei tre bus interni. Tipi di istruzioni: aritmetiche, logiche, trasferimento dati, controllo del flusso, etc. "Modello di programmazione". Risorse implicite (in un'istruzione). I registri PC, MAR, MDR. Trasferimento di dati tra CPU e memoria. Standard "little-endian" vs "big-endian". Salti. Automa di esecuzione per l'istruzione ADD op1,op2,op3. Cicli di "wait".
- 18.IX.2/ore 44-45** – martedì 20 novembre 2018 (2 ore) ♣ Prelievo istruzioni: sezione di parte operativa e automa di controllo. Salti: assoluti e relativi (con aggiornamento della parte operativa per il fetch). Cicli di macchina e di bus.
- 19.X.1/ore 46-48** – lunedì 26 novembre 2018 (3 ore) ♣ Prestazioni: tempo di esecuzione, legge di Amdhal. RISC vs CISC. Architettura "pipeline" per macchine RISC. CPU Intel 8086: modello di programmazione. Assemblaggio, collegamento, caricamento. Rilocabilità. Programma ASM86 d'esempio: accumulazione degli elementi di un vettore di interi.
- 20.X.2/ore 49-50** – martedì 27 novembre 2018 (2 ore) ♣ Stack: regole e convenzioni, passaggio parametri. Versione "chiamante e subroutine" del programma del 26/11.
- 21.XI.1/ore 51-53** – lunedì 3 dicembre 2018 (3 ore) ♣ Memorie: classificazione e gerarchia. Integrato DRAM: elemento di memoria, rinfresco, bus multiplexing, tempo d'accesso, piedinatura, operazioni di lettura/scrittura. SRAM: caratteristiche e impiego. Memoria cache a mappatura diretta: suddivisione logica dell'indirizzo in tre campi distinti, descrizione dettagliata del funzionamento.
- 22.XI.2/ore 54-54** – martedì 4 dicembre 2018 (1 ora) ♣ Realizzazione del controllo: sfruttamento della codifica incrementale degli stati attraverso un contatore. CPU: microprogrammata vs cablata.
- 22.XI.2/ore 55-55** – martedì 4 dicembre 2018 (esercitazione facoltativa, 1 ora) ♣ Descrizione del programma MUL2017.ASM per il calcolo della moltiplicazione tra interi in tre modi diversi. "Traps" del sistema operativo. Conversione del contenuto binario del registro AX in formato ASCII (stringa di cifre decimali).
- 23.XI.1/ore 56-58** – lunedì 10 dicembre 2018 (esercitazione facoltativa, 3 ore) ♣ Esercizio d'esame: istruzione MAX VECT,op2. Dettaglio realizzativo: l'hardware di macchina per RF(IR[7-10])out.
- 24.XI.2/ore 59-60** – martedì 11 dicembre 2018 (laboratorio facoltativo, 2 ore) ♣ Debugging di un programma ASM86: "dump" della memoria, verifica del contenuto della memoria dati, dello stack e dei registri, interpretazione dei codici di macchina a partire dal manuale del processore.