

$\# \text{celle} = \# \text{parole di } m \text{ bit} = 2^m$ ("spazio di indirizzamento")
 $\# \text{bit contenuti nella memoria} = \# \text{celle} \times \frac{\# \text{bit}}{\text{cello}}$
 (m bit d'indirizzo, n bit di dati)

$\left. \begin{array}{l} \\ \\ \end{array} \right\} \text{Bus}$

$$S_{(\text{bit})} = 2^m \times n$$

$$2^8 \times 2^8 \times 2^8 = 2^{24} = 2^4 \times 2^{20} = 16 \text{ M}$$

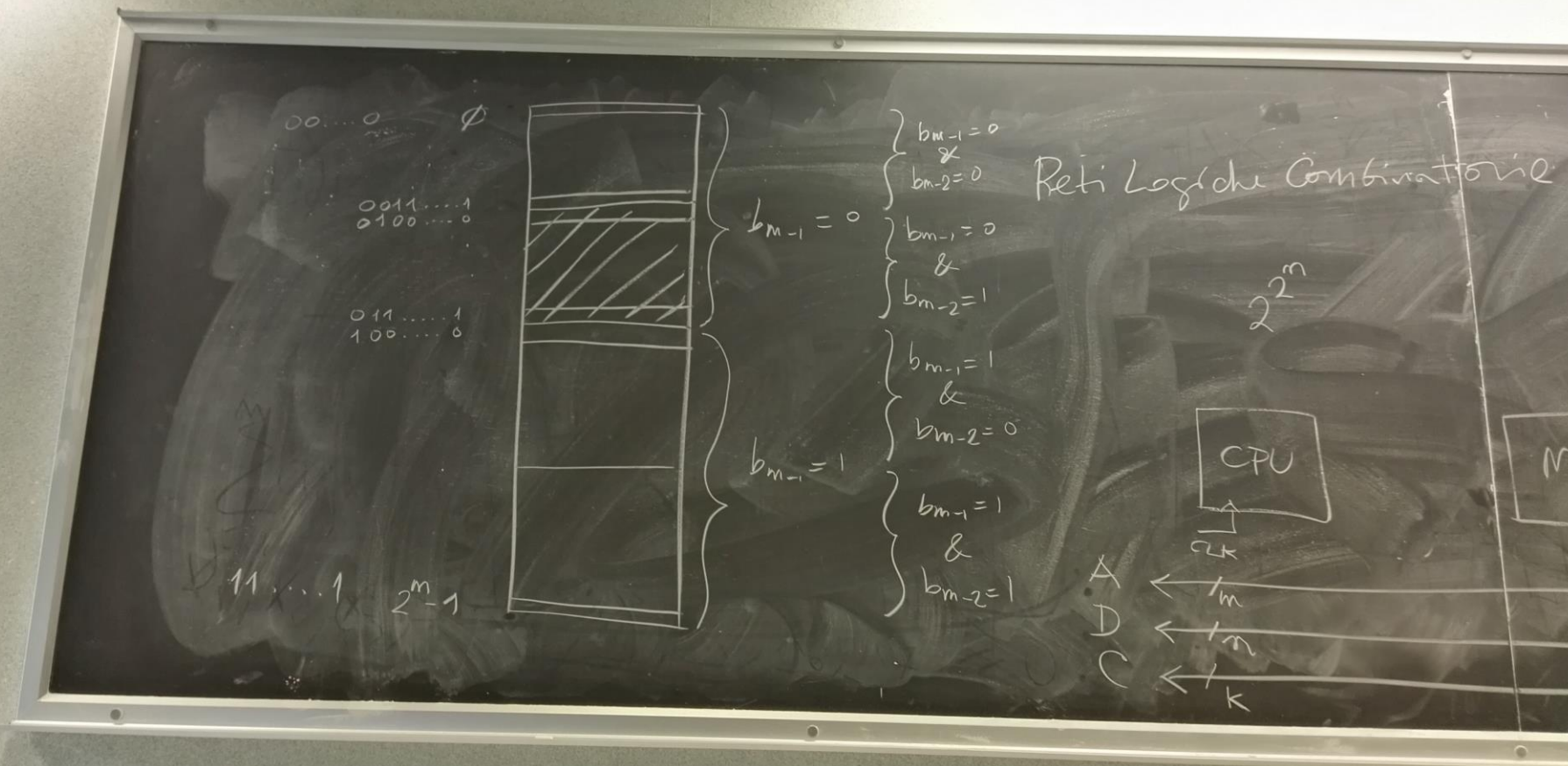
$$= 2^m \times n$$

$$S_{\text{byte}} = S_{\text{bit}} / 8$$

Legge di rappresentazione

$$\begin{aligned}
 N(b_{m-1}, b_{m-2}, \dots, b_2, b_1, b_0) &= \\
 &= 2^{m-1} \cdot b_{m-1} + 2^{m-2} \cdot b_{m-2} + \dots + 2^2 \cdot b_2 + 2^1 \cdot b_1 + 2^0 \cdot b_0
 \end{aligned}$$

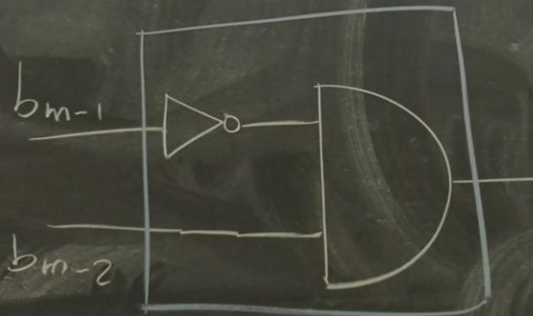
$$N \in \{0, 2^m - 1\}$$



Riconoscimento di una configurazione binaria



z_1 (= 1 se l'indirizzo è nel 2° punto della memoria)



$\left. \begin{array}{l} B_{m-1} \\ B_{m-2} \end{array} \right\}$

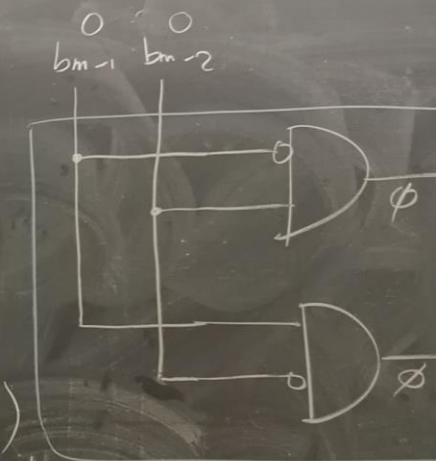
ore

Riconoscimento di una configurazione binaria

	+	.
m	0	1
f	1	0



(va a 1 se la parola indirizzata è nel 2° o nel 3° quarto della memoria)



M

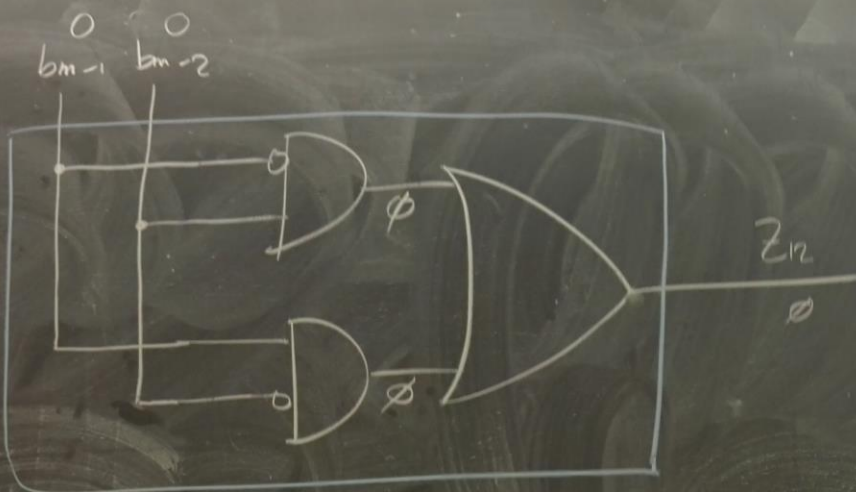


0 è l'elemento forzante del .
 1 " " " " +
 1 " " " " +
 0 " " " " +

$x \cdot 0 = 0$
 $x + 1 = 1$
 $x \cdot 1 = x$
 $x + 0 = x$

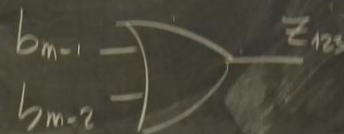
zione binaria

(va a 1
se la parola
indirizzata
è nel 2°
o nel 3°
quarto della
memoria)

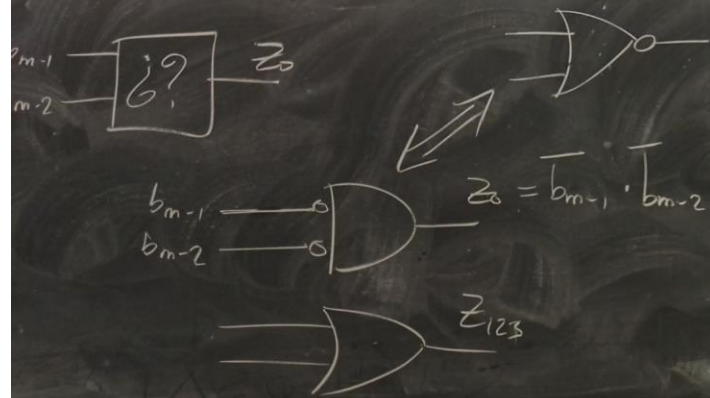


	b_{m-1}	b_{m-2}	$z_{12}(b_{m-1}, b_{m-2})$
I	0	0	0
II	0	1	1
III	1	0	1
IV	1	1	0

XOR



Riconoscimento di una configurazione binaria



$$\overline{x_1 + x_2 + \dots + x_n} = \overline{x_1} \cdot \overline{x_2} \cdot \dots \cdot \overline{x_n}$$

$$\overline{x_1 \cdot x_2 \cdot \dots \cdot x_n} = \overline{x_1} + \overline{x_2} + \dots + \overline{x_n}$$

Legge di
De Morgan

$$z_{123} = b_{m-1} + b_{m-2}$$

$$z_0 = \overline{b_{m-1}} \cdot \overline{b_{m-2}}$$

$$z_{123} = \overline{z_0} \Leftrightarrow b_{m-1} + b_{m-2} = \overline{\overline{b_{m-1}} \cdot \overline{b_{m-2}}}$$

$$\Leftrightarrow b_{m-1} + b_{m-2} = \overline{\overline{b_{m-1}}} \cdot \overline{\overline{b_{m-2}}}$$

$$\overline{\overline{a}} = a$$

"Asserimento"
($\overline{CS}$ è "asserto basso")

$$S = 2^m \times n$$

CS = Chip Select

bus dei controlli

read/write
($R/\overline{W}$)

bus dati

Chip di memoria RAM

bus indirizzi



000...00
m bit

S

$S \rightarrow 4S$
 $S = 2^m \times n$

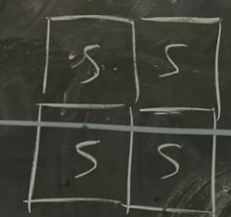


$4S = 2^m \times 4n$
 espansione parola dati



$4S = (4 \cdot 2^m) \times n = 2^{m+2} \times n$

espansione indirizzi



$4S = 2^{m+1} \times 2n$

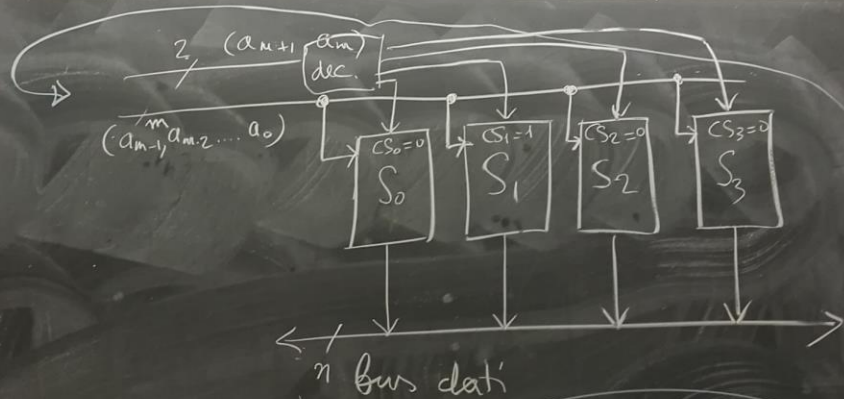
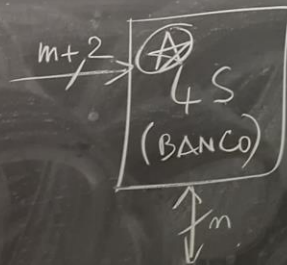
espansione dati & indirizzi

- I
- II
- III
- IV

$x 4n$
one parola dati

$2^{m+2} \times n$

di bit



	a_{m+1}	a_m	CS_0	CS_1	CS_2	CS_3
I	0	0	1	0	0	0
II	0	1	0	1	0	0
III	1	0	0	0	1	0
IV	1	1	0	0	0	1

