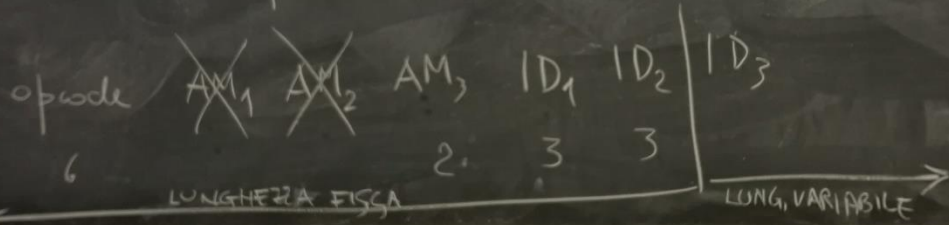


Califica istruzioni

ADD RS_1, RS_2, R_{dst} → Reg
 $AM_1 = AM_2 = R_{reg}$ → Ind Reg
 Base & Indica

opcode
 info sugli operandi
 { di che tipo (es. Byte, Word) (DT)
 modo di indirizzamento (AM)
 quale valore (ID)



R_3	00
$[R_3]$	01
SUM	10
VECT[R_4]	11

μP
 dati & indirizzi
 a 16 bit,
 8 registri
 Gen. Purpose
 ($R_0 - R_7$)

AM3
 Reg
 Ind.
 Dir.
 Base

st → Reg
 → Ind Reg
 → Dir Mem
 Base & Index

(DT)

R3	00
[R7]	01
SUM	10
VECT[R4]	11

u P
 dat &
 indirizz
 a 16 bit,
 8 registri
 Gen. Purpose
 (R0-R7)

ABILE →

AM3
 Reg.
 Ind. Reg.
 Dir. Mem.
 Base & Index

0	4	5	6	7	8	9	10	11	12
opcode		AM3		ID1		ID2			

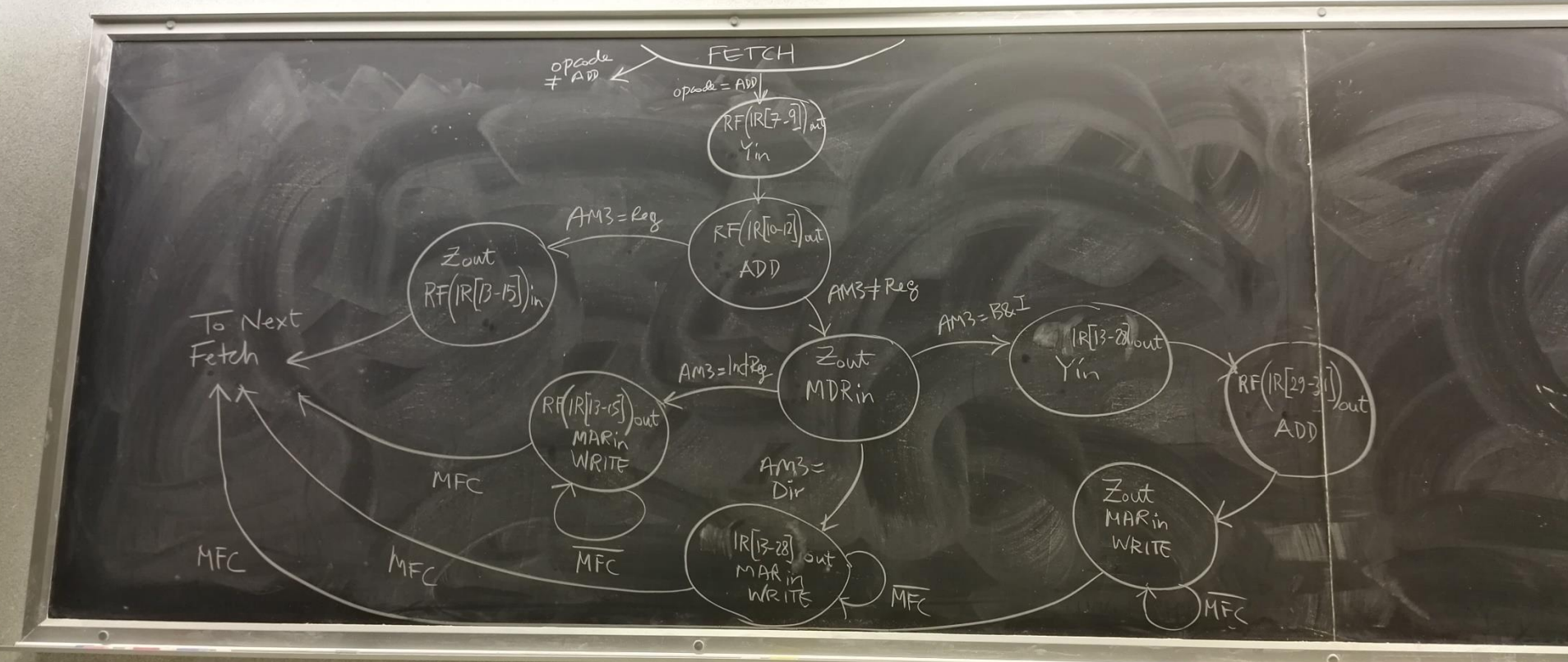
13-15	ID3
13-15	ID3
13-28	ID3
13-28	ID3
13-28	ID3
29-31	ID3
base	index
ID3	

lunghezza

16
 16
 29
 32

#cicli di bus per il fetch

1
 1
 2
 2



Cicli di wait

$$N_w = \frac{T_{acc \text{ alla memoria}}}{T_{clock}}$$

	lunghezza	# cicli di bus per il fetch	# cicli bus per store op	# cicli macchina per exe	classifica $T_{\text{fetch \& exe}}$
AM3					
Reg	16	1	0	3	1°
IndReg	16	1	①	4 + ① $\cdot N_w$	2°
Dir	29	2	1	4 + 1 $\cdot N_w$	3°
B & I	32	2	1	6 + 1 $\cdot N_w$	4°

$$N_{\text{cicli macchina per 1 Fetch}} = (C + N_w) \times \begin{matrix} \text{\# cicli di} \\ \text{bus per} \\ \text{il fetch} \end{matrix}$$