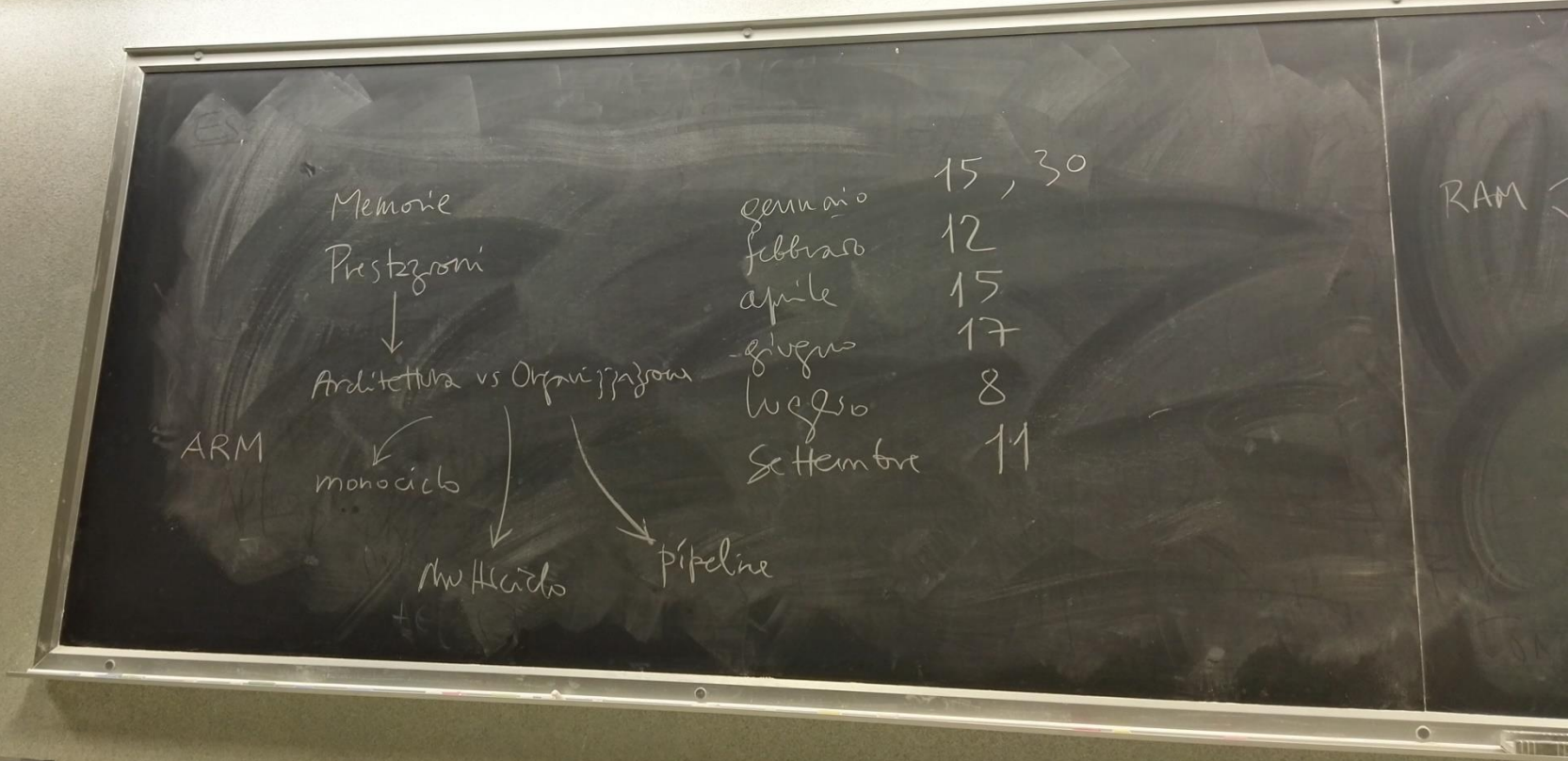
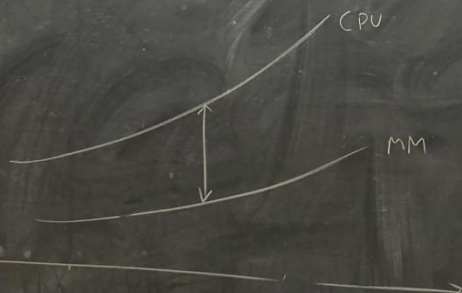




RAM $\left\{ \begin{array}{l} \text{statiche (elemento: flip-flop)} \\ \text{dinamiche (" : } \mu C \text{)} \end{array} \right.$

preziosi
↑



velocità



costo per bit



densità



refresh

NO

SI

uso

CACHE

Main Memory

Garanzia

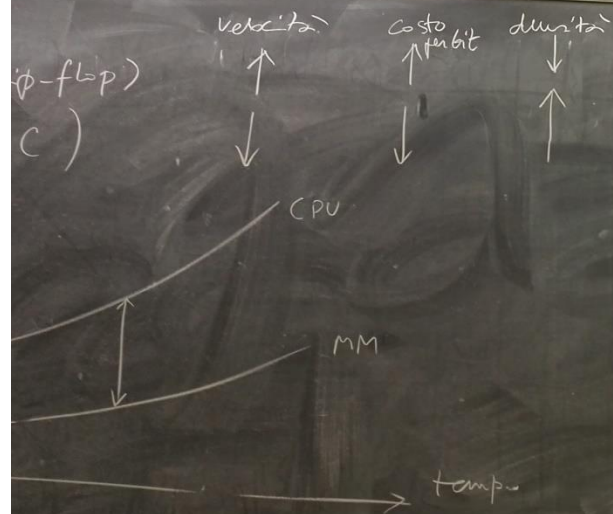
hit con prob. h
miss con prob. $m = 1 - h$

$$t_{acc} = h \cdot t_{cache} + m \cdot t'_{mm}$$

$$h \geq m$$

$$t_{cache} < t_{mm} < t'_{mm}$$

↑ in corso di



refresh
NO
SI

uso
CACHE
Main Memory

hit con prob. h
miss con prob. $m = 1 - h$

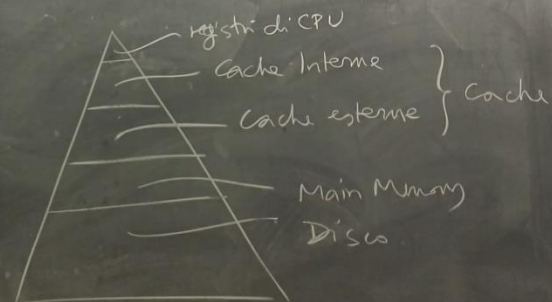
$$t_{acc} = h \cdot t_{cache} + m \cdot t_{MM}^i$$

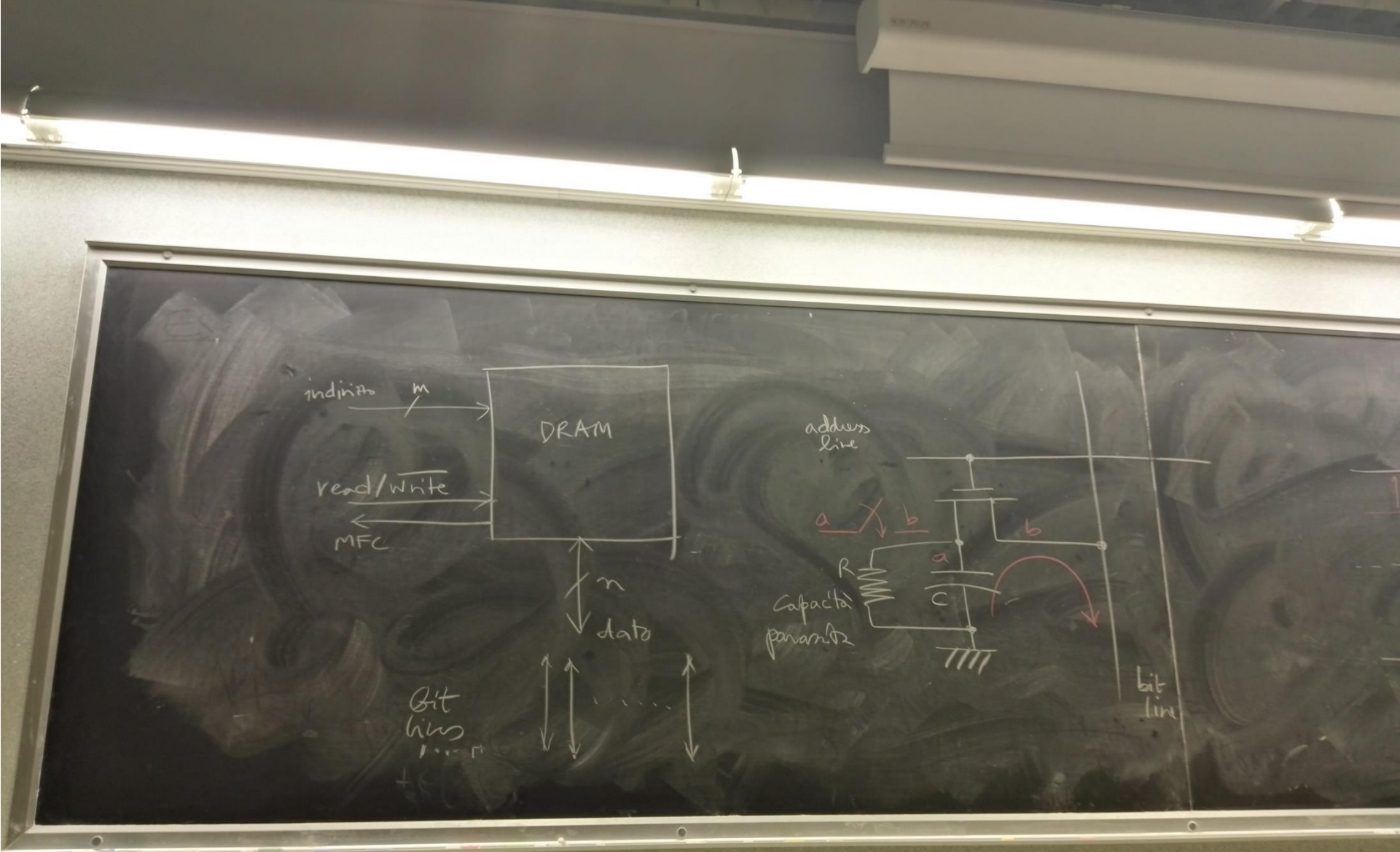
$$h \geq m$$

$$t_{cache} < t_{MM} < t_{MM}^i$$

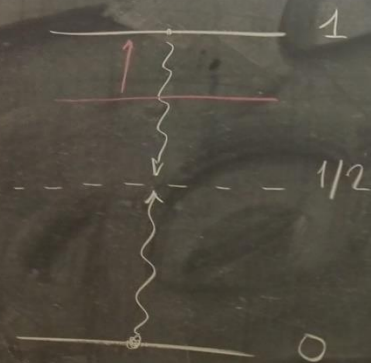
↑ in caso di miss

Gerarchia di Memoria





il refresh consiste nella semplice
LETTURA della cella



lettura $\left\{ \begin{array}{l} \text{CPU} \quad \text{read} \times \\ \quad \quad \overline{\text{OE}} = 0 \\ \quad \quad (\text{OE asserted}) \\ \text{Controller} \\ \text{della memoria} \\ \text{(a.k.a Refresh)} \end{array} \right.$

$\text{read} \times$
 $\overline{\text{OE}} = 1$
(OE non asserted)

'indirizzo'

"Bus
mult

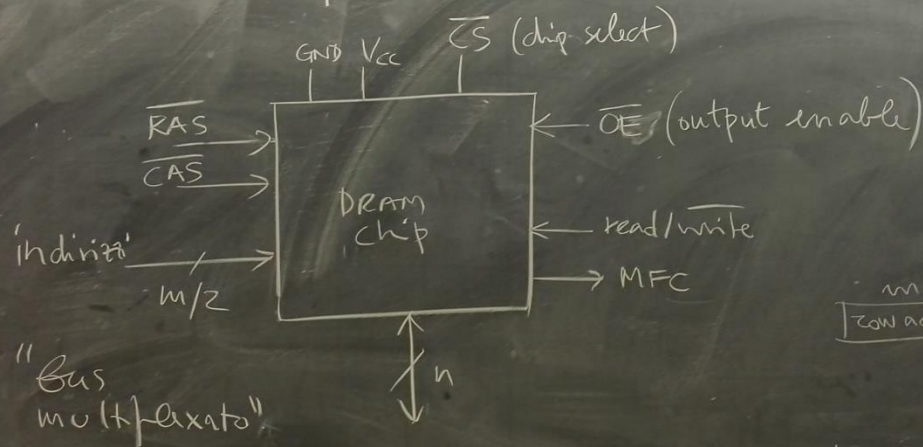
esiste nella semplice
della alla

CPU read &
 $\overline{OE} = 0$
(OE asserted)

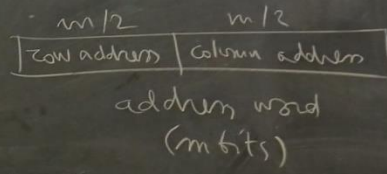
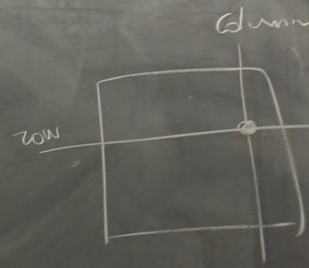
Controller
alla memoria

(Refresh)
read &
 $\overline{OE} = 1$
(OE non asserted)

Chip DRAM

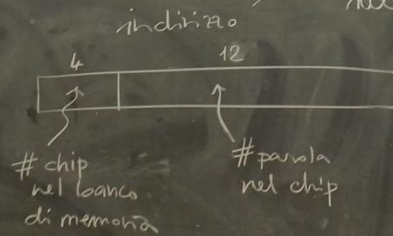


"Bus
multiplexato"



Cache a mappatura diretta

struttura dell'
indirizzo per
banche di memoria
con chip tutti
uguali



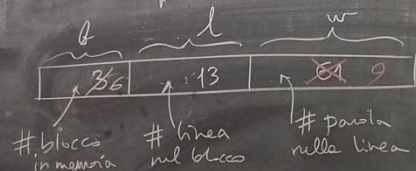
il processore chiede
una data parola
nella memoria

suppl. ind. a 16 bit

es. ind. = 11, 3F1h

$$\frac{\text{Parola}}{\text{memoria}} = \frac{\cancel{\text{chip}}}{\text{memoria}} \times \frac{\text{parola}}{\cancel{\text{chip}}}$$

indirizzo (visto dal controller storage)



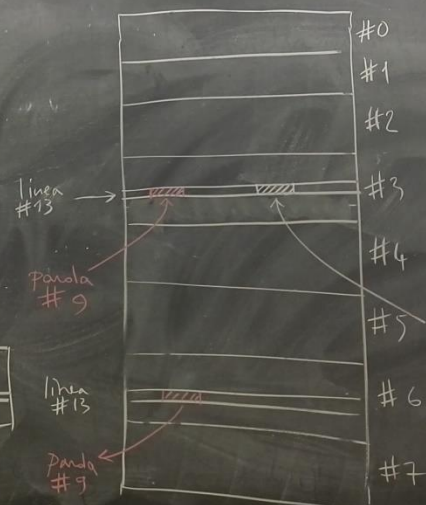
$$\frac{\text{parole}}{\text{memoria}} = \frac{\text{blocco}}{\text{memoria}} \times \frac{\text{linea}}{\text{blocco}} \times \frac{\text{parola}}{\text{linea}}$$

la memoria contiene:

- il blocco " 2^b blocchi
- la linea " 2^l linee
- " 2^w parole

$$b + l + w = m$$

la cache ha la dimensione di 1 blocco



es. $b = 3 \Rightarrow 8$ blocchi

parola # 61

Nella prima puntata =
PRESTAZIONI

la misura di prestazione più affidabile e veritiera
è il TEMPO DI ESECUZIONE

do file a verifiers
ONE

programma HL (machine-independent)



compilatore

programma ML (machine-dependent)

nt)

Tempo di
esecuzione

=

Numero di istruzioni LM
effettivamente eseguite

X

Numero medio di cicli
di clock per istruzione

frequenza di clock



VIETATO FUMARE

Proibito fumare in tutti gli ambienti di lavoro e di pubblico accesso.
Art. 11, D.Lgs. n. 151/2001