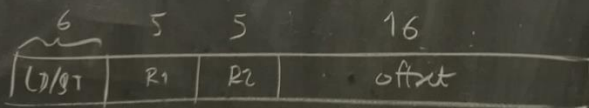


Architettura RISC : 3 organizzazioni
(MIPS, ARM)

dati 32
ind. 32
#registri

Set delle istruzioni
e loro codifica



monociclo
multiciclo
pipeline

fasi :

IF
ID
EX
ME
WB

- MONOCICLO
- 1 istruzione ogni clock
 - UC combinatoria
 - T_{mono} dip. sull'ISTRUZIONE più lenta
 - parallelizzazione delle operazioni, no IR

"Datapath"



$$t_{mono} = N T_{mono} \geq t_{mult} = N \left(\sum p_i CPI_i \right) T_{mult}$$

MULTICICLO

- $\#CPI > 1$ 4 istruzione ($\#max = \#fasi = 5$)
- UC è un automa a stati finiti
- T_{mult} dip. sulla FASE più lenta
- ALU impossibile anche per il fetch, Memoria unificabile, IR ricorsivo

	IF	ID	EX	ME	WB	Tot
ADD	30	5	12		5	52
LD	30	5	12	30	5	82
ST	30	5	12	30		77
JE/JR	30	5	12			47
JMP/JR	30	5				35 ←
JAL	30	5			5	40

Tab. pag. 326 RUCA

Tanto
medio
per istr.

MONOCICLO	MC0	MC1	MC2	MC3	MC4
82	136,2	98,88	80,75	81,60	60,0

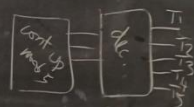
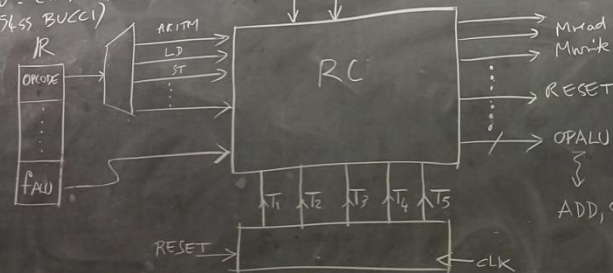


UC
"Cabbata"
(macchine RISC)

Fig. pg. 319
Bucci

Contatore
ad anello

CPU: CABBATA VS MICROPROCESSORI
(p. 365 Bucci)



$$RESET = ST \cdot T_4 + (\bar{J}E \cdot \bar{Z} + JS \cdot \bar{S}) \cdot T_3 + \dots$$

$$ADD = T_1 + T_2 + T_3 \cdot (LD + ST) + T_4 \cdot (LD + ST) + T_5 \cdot LD$$

ADD, SUB, etc...

Pipeline

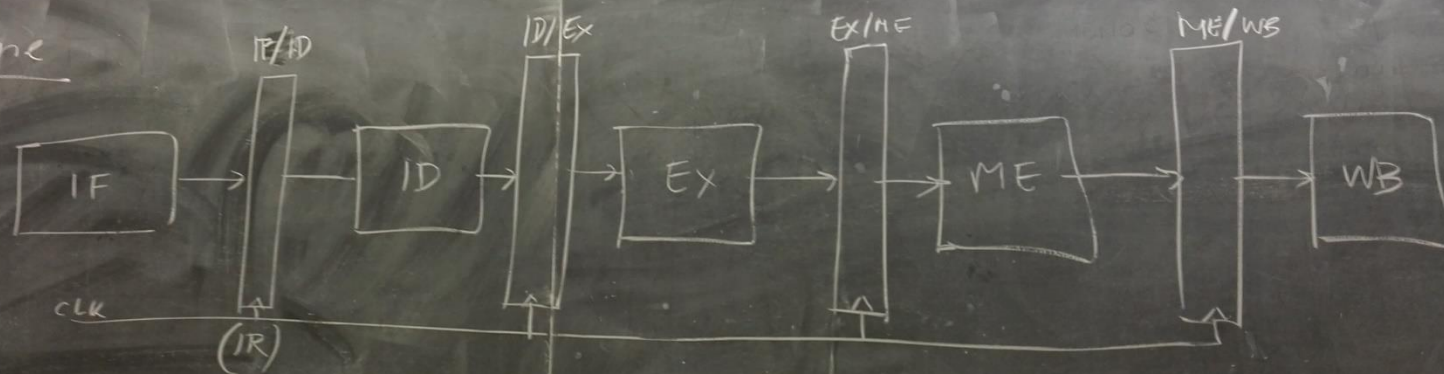


Fig
Pg 342
Bucci

CONFLITTI
(p. 358 Bucci)

